

CAPACITANCE-TYPE SEMICONDUCTOR SENSOR AND ITS MANUFACTURING METHOD

Publication number: JP2001267588

Publication date: 2001-09-28

Inventor: NAKAMURA HIDEYO; MATSUSHITA KOJI

Applicant: FUJI ELECTRIC CO LTD

Classification:

- international: G01P15/125; G01L9/00; G01L9/12; H01L29/84;
G01P15/125; G01L9/00; G01L9/12; H01L29/66; (IPC1-7): H01L29/84; G01L9/12; G01P15/125

- european:

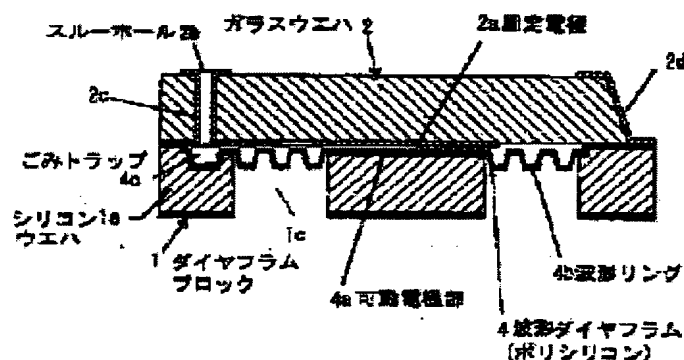
Application number: JP20000162189 20000531

Priority number(s): JP20000162189 20000531; JP20000002757 20000111

Report a data error here

Abstract of JP2001267588

PROBLEM TO BE SOLVED: To provide a capacitance-type semiconductor sensor which is low-cost and small and which is of high sensitivity by improving the shape of a diaphragm to be used as a sensor detection part. **SOLUTION:** A glass wafer 2 is formed, in such a way that a circular thin-film fixed electrode 2a is formed on the rear surface and that a through-hole 2b is formed in its outer circumferential region. A diaphragm block 1 is formed, in such a way that a low-resistance thin-film diaphragm which faces the fixed electrode by keeping a very small gap is formed on the surface side of the silicon wafer, that a wafer material on the rear surface of the diaphragm is removed, and that the diaphragm block is overlapped with the glass wafer so as to be bonded. A sensor chip is constituted of an assembly which is composed of the glass wafer 2 and the diaphragm block 1. The thin-film diaphragm is formed as a corrugated diaphragm 4, where a low-resistance polysilicon film is used as a structure material, a flat zone in its central part is used as a moving electrode part 4a, a corrugated ring 4b which is arranged in a concentric circle shape is formed in its outer circumferential region, and a dust trap 4c which faces a part directly under the through-hole 2a is formed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267588

(P2001-267588A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/84		H 0 1 L 29/84	Z 2 F 0 5 5
G 0 1 L 9/12		G 0 1 L 9/12	4 M 1 1 2
G 0 1 P 15/125		G 0 1 P 15/125	

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願2000-162189(P2000-162189)
(22) 出願日 平成12年5月31日 (2000.5.31)
(31) 優先権主張番号 特願2000-2757(P2000-2757)
(32) 優先日 平成12年1月11日 (2000.1.11)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72) 発明者 仲村 秀世
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(73) 発明者 松下 浩二
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74) 代理人 100088339
弁理士 篠部 正治

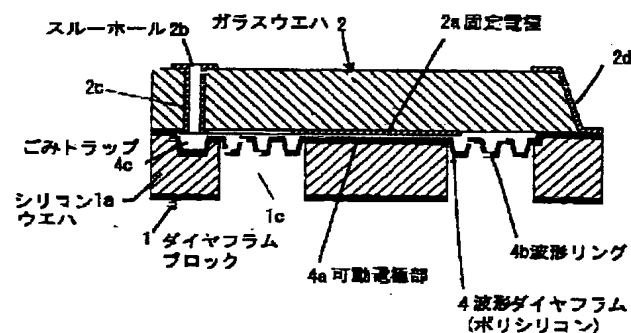
最終頁に続く

(54) 【発明の名称】 静電容量型半導体センサおよびその製造方法

(57) 【要約】

【課題】センサ検出部となるダイヤフラムの形状を改良し、低コストで小型、高感度な静電容量型半導体センサを提供する。

【解決手段】下面に円形の薄膜固定電極2a、その外周域にスルーホール2bを形成したガラスウエハ2と、シリコンウエハの上面側に前記固定電極と微小ギャップを隔てて対向する低抵抗の薄膜ダイヤフラムを形成し、かつダイヤフラム下面のウエハ材料を除去した上で前記ガラスウエハに重ね合わせて接合したダイヤフラムブロック1との組立体でセンサチップを構成するようにし、ここで前記薄膜ダイヤフラムは、低抵抗なポリシリコン膜を構造材料とし、かつその中心部のフラットゾーンを可動電極部4aとしてその外周域に同心円状に並ぶ波形リング4b、および前記スルーホール2aの直下に対峙するごみトラップ4cを形成した波形ダイヤフラム4として形成する。



【特許請求の範囲】

【請求項1】下面中心部に薄膜固定電極を形成したガラスウェハと、シリコンウェハの上面に前記固定電極と微小ギャップを隔てて対峙する可動電極一体形の薄膜ダイヤフラムを形成し、かつその裏面側のウェハ材料を除去してガラスウェハと重ね合わせたダイヤフラムブロックとの組立体からなり、前記薄膜ダイヤフラムが、中心部の円形フラットゾーンを可動電極部としてその外周域に同心円状に並ぶ複数条の波形リングを形成した波形ダイヤフラムであることを特徴とする静電容量型半導体センサ。

【請求項2】請求項1記載の半導体センサにおいて、ガラスウェハの下面に形成した薄膜固定電極の外径寸法を、その外径周縁が波形ダイヤフラムの最内周に並ぶ波形リングの谷部と対峙するように設定したことを特徴とする静電容量型半導体センサ。

【請求項3】請求項1記載の半導体センサにおいて、ガラスウェハの外周部に固定電極のリード引出し用スルーホールを形成するとともに、該スルーホールの直下に対峙して、波形ダイヤフラムの外周部に凹状のごみトラップを形成したことを特徴とする静電容量型半導体センサ。

【請求項4】請求項1記載の半導体センサにおいて、波形ダイヤフラムの波形リングは、その波深さを薄膜固定電極／可動電極部間のギャップの少なくとも5倍以上、波ピッチを波深さの1～2倍に設定したことを特徴とする静電容量型半導体センサ。

【請求項5】請求項1記載の半導体センサにおいて、波形ダイヤフラムを、不純物元素をドーピングして導電性を付与したポリシリコンを構造材料として形成したことを特徴とする静電容量型半導体センサ。

【請求項6】請求項1記載の半導体センサにおいて、波形ダイヤフラムの中心部に形成した可動電極部の裏面側にリブ状の補強梁を形成し、かつ電極部裏面側のウェハ材料を除去したことを特徴とする静電容量型半導体センサ。

【請求項7】シリコンウェハの上面に固定／可動電極間のギャップに相応する凹部、および波形ダイヤフラムの波形リングに対応する同心多重溝をエッチングにより形成した上で、ウェハ上面に酸化シリコン膜、およびダイヤフラム構造材料を重ねて成膜し、しかる後にシリコンウェハの下面側から前記シリコン酸化膜をエッチングストップ層としてドライエッチングによりダイヤフラム下面領域のウェハ材料を除去して波形ダイヤフラムを形成したことを特徴とする請求項1記載の静電容量型半導体センサの製造方法。

【請求項8】請求項7記載の製造方法において、シリコンウェハの上面全域に酸化シリコン膜を成膜した後、ウェハの多重溝領域を除いた残り領域の酸化シリコン膜を除去してその上にダイヤフラム構造材料を成膜し、さら

にシリコン酸化膜をエッチングストップ層としてシリコンウェハの裏面側からドライエッチング法によりダイヤフラム下面領域のウェハ材料を除去した後に、ダイヤフラムの裏面に残る酸化シリコン膜をウエットエッチングにより除去することを特徴とする静電容量型半導体センサの製造方法。

【請求項9】請求項8記載の製造方法において、ダイヤフラムの裏面に残る酸化シリコン膜をウエットエッチングにより除去した後、エッチング液を常温、常圧でエタノールに置換し、さらに高圧環境で液体二酸化炭素に置換して乾燥させるようにしたことを特徴とする静電容量型半導体センサの製造方法。

【請求項10】請求項7記載の製造方法において、シリコンウェハに同心円状に並ぶ多重溝を形成する工程で、シリコンウェハの上面コーナー部にごみトラップとなる凹溝を同時形成したことを特徴とする静電容量型半導体センサの製造方法。

【請求項11】請求項7記載の製造方法において、波形ダイヤフラムの形成後に、その内部応力を緩和させるようにアニール処理を施したことを特徴とする静電容量型半導体センサの製造方法。

【請求項12】請求項7記載の製造方法において、ウェハ上面の電極形成領域に請求項6記載の補強梁に対応するスリット状の凹溝を形成し、ダイヤフラム構造材料を成膜する際に前記凹溝を埋めて可動電極部の補強梁を形成したことを特徴とする静電容量型半導体センサの製造方法。

【請求項13】請求項12記載の製造方法において、凹溝の溝幅を、ウェハ上面に重ねて成膜する酸化シリコン膜およびダイヤフラム構造材料の膜厚の2倍以下としたことを特徴とする静電容量型半導体センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自動車、産業用に使われる圧力センサ、加速度センサなどに適用する静電容量型半導体センサに関する。

【0002】

【従来の技術】昨今における自動車用、産業用の圧力センサ、加速度センサ、フローセンサなどの各種センサは、シリコンを構造材料としてマイクロマシニング手法により製作した半導体式センサが主流をなしている。すなわち、シリコンは強度も高く、かつ変形の繰り返し再現性も高いなど、センサの構造材料として優れた特性を有し、また半導体プロセスにより小型化、制御回路との一体化も可能である。

【0003】このような半導体式センサについて、圧力センサ、加速度センサなどの力学的センサ（メカニカルセンサ）は、微小な部分で圧力や加速度による歪み（応力）を検出するため、その検知要素となるダイヤフラムを加工するに当たっては、できるだけ肉薄で、かつ残留

応力が残らないように加工する必要がある。そのため、バルクシリコンに対する加工法として、従来よりアルカリ溶液によるウェットエッチング、プラズマエッチングなどのドライエッチングが主に用いられている。

【0004】次に、静電容量型の半導体式圧力センサを例に、従来におけるセンサチップの構造を図9(a), (b)に示す。図において、1はシリコンで作られたダイアフラムブロック、2は下面中心部に薄膜固定電極2aを設けたガラスウェハ、3はダイアフラムブロック1を取付けたガラス台座である。ここで、ダイアフラムブロック1は次記のような構成になる。すなわち、抵抗率が0.2~0.3ΩcmのP形シリコンウェハ1aに対して、プラズマエッチング法によりウェハの上面側には2μm程度の浅い円形の凹部1b、裏面側にはリング状の深溝1cを加工して肉薄なダイアフラム、およびリング状の深溝に囲まれた中心領域に可動電極1dを形成している。

【0005】また、前記ダイアフラムブロック1の上面には、ほうけい酸ガラス（熱膨張係数がシリコンのそれに極めて近いガラス）からなるガラスウェハ（基板）2が静電接合で接合されており、そのガラス基板2の下面中心部には、前記の可動電極1aと微小ギャップを隔てて対峙する円形状の薄膜固定電極2aが成膜形成されている。この固定電極2aは膜厚が0.7μm程度であるアルミのスパッタ膜であり、前記凹部1bをギャップとして可動電極1dと固定電極2aとの間にコンデンサを形成している。また、ガラスウェハ2の外周コーナ部にはセンサチップ内に通じるスルーホール2bが形成されており、その内面にはアルミメタライズ層2cを形成して固定電極2aのリードをガラスウェハ2の上面側に引き出している。さらに、前記スルーホール2bと反対側のコーナ部には傾斜形のスルーホールを形成してここにアルミメタライズ層2dを形成し、該メタライズ層2dを可動電極1dのリード端子としてガラスウェハ2の上面側に引き出すようにしている。そして、ダイアフラムブロック1とガラスウェハ2の組立体は、中心に導圧孔3aを開口したほうけい酸ガラス製のガラス台座3に静電接合してケース（図示せず）に組み込み、センサチップとケース側の端子との間をワイヤボンディングして圧力センサを構成している。

【0006】かかる構成でガラス台座3に形成した導圧穴3aを通じてシリコンウェハ1aの下面側から測定圧力を加えると、その圧力の大きさに相応して肉薄なダイアフラム部が撓んで可動電極1dと固定電極2aとの間のギャップが変化し、これにより電極間の静電容量が変わる。

【0007】

【発明が解決しようとする課題】ところで、前記した従来構造の静電容量型半導体圧力センサは、製造、機能面で次記のような解決すべき問題点がある。

(1) センサの小型化、高感度化を押し進める上で、ダイ

アフラム部をできるだけ肉薄に形成しようとすると、それだけシリコンウェハ1aの裏面側に施すエッチングに厳しい加工精度が要求されてその品質管理が難しくなる。そのため、従来構造のセンサチップではバルクシリコンの加工精度は限界に達し、歩留まりを落とさずにセンサの高感度化、小型化の要求に応えることが極めて困難になっている。また、ドライエッチング法はウェットエッチング法に比べて応力集中、クラックによるダメージが少ないという利点があつて広く利用されているが、その加工精度はウェットエッチングよりも低く、特にダイアフラム部の薄肉化を進める上でエッチング加工精度のばらつきが品質管理面での問題となっている。

【0008】(2) 一方、ガスセンサやフローセンサなどに代表される熱型の半導体センサでは、その熱応答性を改善するために、従来より検出素子の搭載部位に肉厚がサブミクロン〜1μmレベルの薄膜ダイアフラム部を形成したものが知られている。この薄膜ダイアフラム部は、シリコンウェハの平坦な上面に窒化シリコン膜などを一様な厚さに成膜した後、シリコンとのエッチングの選択比の違いを利用して薄膜の下面側のウェハ材料を異方性エッチングにより除去し、シリコンウェハから解放してダイアフラム部を形成する方法が用いられている。

【0009】ところで、前記のようにシリコンウェハの上に窒化シリコン膜などを成膜して形成したダイアフラムは、その膜厚を薄く形成できる利点がある反面、その内部に残留応力の生じることが避けられない。このために、前記方法で形成した薄膜ダイアフラムを静電容量型の圧力センサなどのようにダイアフラムを変位させて測定する力学的センサに採用しようとすると、動作面で次のような問題点が生じる。すなわち、ダイアフラムに内部残留応力として引っ張り応力が生じていると、ダイアフラムの変位（ダイアフラム面と直角方向に圧力を加えた場合の変位）が極端に小さくなり、圧縮応力が生じている場合はその逆となる。また、温度変化によって薄膜の内部残留応力が変化すると、ダイアフラムとしてのばね定数やセンサ感度、オフセットが変化してしまう。その結果、力学的センサの出力特性として要求される高い線形性、安定したセンサ感度、測定精度を確保することが難しい。

【0010】(3) また、静電容量型半導体センサで高い線形性を得るには、そのダイアフラムの撓み変形によってダイアフラムの一部に形成した可動電極が歪まず、固定電極に対して並行に変位することが必要であり、そのために可動電極部は一般に図9で示すように肉厚に形成した構造を採用している。しかしながら、ダイアフラムを薄肉化してその感度を高めると、肉厚な可動電極部の質量の影響が無視できなくなり、その取付け方向、振動などによりセンサの出力が変動してしまつて測定誤差を引き起こす。

【0011】(4) さらに、静電容量型圧力センサなどの

力学的センサでは、ダイヤフラムの径寸法に対する加工精度がセンサ感度に影響を及ぼす。すなわち、線形理論で考える範囲では、圧力に対する可動電極の変位 w_0 は次式で表される。

【0012】

【数1】

$$w_0 = \frac{P}{84D} \left\{ (a^4 - b^4) - 4a^2b^2 \cdot \ln \frac{a}{b} \right\}$$

$$D = \frac{Eh^3}{12(1-\nu^2)}$$

但し、P：圧力、a：ダイヤフラム外径、b：ダイヤフラム内径、E：ダイヤフラムのヤング率、h：ダイヤフラムの肉厚、 ν ：ダイヤフラムのポアソン比

上記式から判るように、ダイヤフラムの内径、外径寸法にバラツキ（加工精度に基づく寸法誤差）があると、そのバラツキがセンサ感度のバラツキとなって現れる。この場合に、従来の加工方法ではダイヤフラムの内、外径の寸法精度がシリコンウェハの裏面側から施す深堀ドライエッチングの加工精度に依存して決まり、しかもドライエッチングの加工精度は先述のようにウェットエッチング法などと比べて低く、このためにダイヤフラムの径サイズにバラツキが生じ易い。

【0013】(5) また、別な問題として、図9のように微小なギャップを隔てて対向する固定電極とダイヤフラムの可動電極とで圧力センサの検出部を構成し、かつダイヤフラムブロックの上に組合せたガラスウェハに固定電極のリード引出し用のスルーホールを形成した構造の静電容量型半導体センサでは、センサの組立工程などでスルーホールを通して外部から塵埃などの異物がダイヤフラムとガラスウェハとの間の空間に侵入し、この異物が圧力検出部の中心に形成されている固定電極と可動電極との対向面域に移動すると、可動電極の変位を直接妨げるのみならず、電極間の静電容量が変化して測定精度にも影響を及ぼすことになる。

【0014】本発明は上記の点に鑑みなされたものであり、その目的はシリコンウェハへの成膜とエッチング加工により形成した薄膜ダイヤフラムの内部残留応力、および重力変化、振動などの影響を低く抑えるようにダイヤフラムの形状を改良した高感度で測定精度の高い静電容量型半導体センサ、およびその製作に適した製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記課題を解決するために、本発明によれば、下面中心部に薄膜固定電極を形成したガラスウェハと、シリコンウェハの上面に前記固定電極と微小ギャップを隔てて対峙する可動電極一体形の薄膜ダイヤフラムを形成し、かつその裏面側のウェハ材料を除去してガラスウェハと重ね合わせたダイヤフラムブロックとの組立体からなり、しかも前記薄膜ダイヤフラムを、中心部の円形フラットゾーンを可動電極部とし

てその外周域に同心円状に並ぶ複数条の波形リングを形成した波形ダイヤフラムで構成するものとする（請求項1）。

【0016】上記構成によれば、ダイヤフラムの成膜時に生じた残留応力が、撓み性のある波形リングに吸収されてダイヤフラムのばね定数に殆ど影響を与えることがなく、また温度変化などで内部応力の変化も同様に吸収されてダイヤフラムのばね定数が殆ど変化することがなくなり、これにより安定した感度と線形性のセンサ出力特性を確保できる。

【0017】また、本発明によれば、前記の各部構造は、次記のような態様で構成することができる。

(1) ガラスウェハの下面に形成した薄膜固定電極の外径寸法を、その外径周縁が波形ダイヤフラムの最内周に並ぶ波形リングの谷部と対峙するように設定する（請求項2）。

【0018】これにより、ダイヤフラムブロックとガラスウェハを組立てた状態で、固定電極を成膜する際にその周縁に生じたバリが微小ギャップを隔てて対向する可動電極に直接接触するなどする不具合を防止できる。

(2) ガラスウェハの外周部に固定電極のリード引出し用スルーホールを形成するとともに、該スルーホールの直下に対峙して、波形ダイヤフラムの外周部に凹状のごみトラップを形成する（請求項3）。

【0019】これにより、スルーホールを通じて外部から侵入した異物はごみトラップの中に沈降、吸着されるので、異物が電極間のギャップに移動してセンサ機能を阻害するのを効果的に防止できる。

(3) 波形ダイヤフラムの波形リングは、その波深さを薄膜固定電極／可動電極部間のギャップの少なくとも5倍以上、波ピッチを波深さの1～2倍に設定する（請求項4）。

【0020】このように設定すれば、薄膜ダイヤフラムのCVD法などによる成膜時に壁面が成長してシリコンウェハにあらかじめ形成した溝の谷が埋まったり肉厚が不均一になることがなくて製品の歩留りが向上する。

(4) 波形ダイヤフラムを不純物元素をドーピングして導電性を付与したポリシリコンを構造材料として成膜形成し、このダイヤフラムをそのまま可動電極として使用できるようにする（請求項5）。

【0021】(5) 波形ダイヤフラムの中心部に形成した可動電極部の裏面側にリブ状の補強梁を形成し、かつ電極部裏面側のウェハ材料を除去する（請求項6）。この構成によれば、可動電極部に大きな質量（可動電極部の裏面に結合したウェハ材料部分）を持たせことなしにその剛性を高めることができ、これにより可動電極部の平行変位を保ちつつ、取付け方向、振動などによるセンサ出力の変動の影響を低く抑えてセンサ感度、測定精度がより一層向上する。

【0022】一方、本発明によれば、前記構成のダイヤ

フラムブロックは次記のような方法で製造するものとする。すなわち、シリコンウェハの上面に電極間のギャップに相応する凹部、および波形ダイヤフラムの波形リングに対応する同心多重溝をエッチングにより形成した上で、ウェハ上面に酸化シリコン膜、およびダイヤフラム構造材料を重ねて成膜し、しかる後にシリコンウェハの裏面側から前記シリコン酸化膜をエッチングストップ層としてドライエッチング法によりダイヤフラム下面領域のウェハ材料を除去して波形ダイヤフラムを形成する（請求項7）。

【0023】この方法によれば、シリコンウェハの上面に成膜したダイヤフラム構造材料の薄膜に対し、シリコンウェハの裏面側からドライエッチング加工を施して薄膜をダイヤフラムとして解放する際に、酸化シリコン膜がエッチングストップ層として機能するので、肉厚が均一で、かつ内部応力が殆ど残らない波形ダイヤフラムを歩留りよく形成ができる。

【0024】また、本発明では、前記の製造方法を基本とした実施態様として、次記の製造方法がある。

(a) シリコンウェハの上面全域に成膜した酸化シリコン膜に対し、多重溝領域の膜を残して他の領域の膜を除去した上でダイヤフラム構造材料を成膜するとともに、前記シリコン酸化膜をエッチングストップ層としてシリコンウェハの裏面側からドライエッチング法によりダイヤフラム下面領域のウェハ材料を除去した後に、ダイヤフラムの裏面に残る酸化シリコン膜をウエットエッチングにより除去する（請求項8）。

【0025】この方法によれば、シリコンウェハから解放させた波形ダイヤフラムの内、外径（波形リング形成領域の内周端と外周端）がドライエッチング法によるシリコンウェハの加工精度に依存するとことなく、エッチングストップ層として機能させるようにシリコンウェハの上面に成膜した酸化シリコン膜を加工するフォトリソグラフィ（シリコンウェハの上面に成膜した酸化シリコン膜の一部を除去する加工は、一般にフォトリソプロセスによるマスキングを利用して行うようにしており、その加工精度はサブミクロンオーダーでドライエッチングよりも加工精度が高い）の精度によって決まる。これにより、高い加工精度で波形ダイヤフラムを形成して安定した感度を確保できる。

【0026】また、前記のようにダイヤフラムの波形リング形成範囲に酸化シリコン膜を残しておくことで、シリコンウェハに深堀エッチングを施した後、ダイヤフラムの裏面に残る酸化シリコン膜をふっ酸などのウエットエッチングで処理すれば、酸化シリコン膜が完全に除去されるようになるので、シリコンウェハとの線膨張係数差に起因する歪みの発生を抑える効果も得られる。

【0027】(b) また、前項(a)においては、ダイヤフラムの裏面に残る酸化シリコン膜をウエットエッチング法により除去した後、エッチング液を常温、常圧でエタ

ノールに置換し、さらに高圧環境で液体二酸化炭素に置換して乾燥させるようにする（請求項9）。すなわち、ウエットエッチングで酸化シリコン膜を除去した状態で、薄膜ダイヤフラム（ポリシリコン膜）とシリコンウェハとの重なり面に生じた隙間（酸化シリコン膜の抜け跡）に浸入したエッチング液が乾燥する際にスティクションと言う表面張力による張り付き現象が発生することがあるが、前記のようにエッチング液を濡れ性のよいエタノールに置換し、さらに高圧環境で表面張力の小さい液体二酸化炭素に置換して乾燥させることにより、スティクションの発生を確実に防止できる。

【0028】(c) また、本発明では、前記(2) 項に記したダイヤフラムブロックのごみトラップを形成する方法として、シリコンウェハに同心円状に並ぶ多重溝を形成する工程で、シリコンウェハの上面コーナー部にごみトラップとなる凹溝を同時形成するようにする（請求項10）。

(d) また、波形ダイヤフラム自身の内部応力を緩和させるために、波形ダイヤフラムの形成後にアニール処理を施す方法がある（請求項11）。

【0029】(e) さらに、前記の(6) 項に記した可動電極部の補強梁を形成する製造方法として、本発明では、シリコンウェハの電極形成領域に補強梁に対応するスリット状の凹溝をあらかじめ形成しておき、ダイヤフラム構造材料を成膜する際に前記凹溝を埋めて可動電極部の補強梁を形成する（請求項12）ようにし、ここで、前記凹溝の溝幅はウェハ上面に重ねて成膜する酸化シリコン膜およびダイヤフラム構造材料の膜厚（酸化シリコン膜の膜厚とダイヤフラム構造材料であるポリシリコン膜厚との合計）の2倍以下に設定するものとする（請求項13）。

【0030】この方法により、シリコンウェハの上面に薄膜ダイヤフラムを成膜形成する際に、同時にダイヤフラム構造材料が前記のスリット状凹溝を埋め、続くシリコンウェハの深堀エッチング工程で薄膜ダイヤフラム、および可動電極部の裏面側のウェハ材料を除去すると、シリコンウェハから解放された補強梁付きの可動電極部が形成される。

【0031】

【発明の実施の形態】以下、静電容量型圧力センサを例に、本発明実施例の構造、およびその製造方法を図示の実施例に基づいて説明する。

【実施例1】まず、本発明の請求項1～5に対応する実施例を図1～図3で説明する。なお、図1はセンサチップの構成断面図、図2は図1の要部拡大図、図3(a)、(b)はセンサチップの分解、組立状態の斜視図である。

【0032】図示実施例のセンサチップは図9に示した従来構造と基本的に同様であるが、ダイヤフラムブロック1の上面側に形成したダイヤフラムは、肉厚がサブミクロン～数 μm の薄膜ダイヤフラムで、かつその断面が

波形になる波形ダイヤフラム4としてなる。すなわち、金属材料で作られた一般的な波形ダイヤフラムは、平板ダイヤフラムと比べて内部応力（ひずみ）の吸収、変位量の増大効果が高く、また図8の圧力-変位特性図で示すように、変位に対する高い線形性の得られる効果があることが知られている。そこで、本発明では半導体プロセス技術によりシリコンウェハ上に波形ダイヤフラムを形成してセンサチップを構成するようにしている。

【0033】すなわち、図示実施例では、不純物元素をドーピングして導電性を付与した低抵抗なポリシリコンを構造材料としてシリコンウェハ1の上面側に薄膜の波形ダイヤフラム4を成膜形成したもので、その波形ダイヤフラム4は中心部の円形フラットゾーンを可動電極部4aとしてその外周域に同心円状に並ぶ複数条の波形リング4bを形成した形状になり、かつその波形リング4bは、波深さhが薄膜固定電極2aと可動電極部4aとの間のギャップ長gの少なくとも5倍以上、波と波の間のピッチpが波深さhの1～2倍に設定し、さらに波形ダイヤフラム4の外周コーナ部には、ガラスウェハ2に形成したスルーホール2bと対峙する直下位置に凹溝状のごみトラップ4cを形成している。

【0034】また、前記の可動電極部4aに対向してガラスウェハ2の下面側に形成した円形状の薄膜固定電極2aは、その外周縁が波形ダイヤフラム4の最内周に並ぶ波形リングの谷部4b-1と対峙するよう外径寸法を設定している。波形ダイヤフラム4を上記のような形状に構成することは次のような理由による。すなわち、ガラスウェハ2の上面側でスルーホール2bにワイヤーボンディングを施すなど、センサの組立て中にスルーホール2bを通して外部から粉塵などのダスト7がセンサチップの内部に侵入する可能性があるが、図示実施例のようにスルーホール2bの直下に対峙してダイヤフラム4の一角にごみトラップ4cを形成しておけば、センサチップ内に入り込んだダスト7はごみトラップ4cの中に沈降してその溝内底部に吸着し、ダイヤフラム部の中心側に移動してその変位動作を阻害したり通気を妨げるおそれなくなる。なお、このごみトラップ4cは、後記のように波形ダイヤフラム4を成膜形成する際に同時形成される。

【0035】また波形リング4bの形状に関しても、波ピッチpが狭すぎるとCVD法などによる波形ダイヤフラム4の成膜時にその壁面が成長して谷部が埋まったり、肉厚のムラが大きくなるおそれがあるほか、シリコンウェハ1aの裏面側から施すドライエッチングが難しくなる。また、逆にピッチpが広すぎると応力吸収効果が低下するか、もしくはダイヤフラムのサイズが大径になる。

【0036】さらに、図2で示すように、ガラスウェハ2の下面に形成した薄膜固定電極2aを、その外周縁が薄膜ダイヤフラム4の最も内側に並ぶ波形リングの谷部

4b-1と対峙するように定めて形成したことにより、薄膜固定電極2aの成膜時にその周縁に下方に垂れ下がるようにバリ2a-1が生じて、このバリ2a-1が微小なギャップ（固定／可動電極間のギャップは大きい場合でも1～2μm程度である）を隔てて対峙するダイヤフラム4の中心のフラットゾーンに形成した可動電極4aに接触して干渉するような不具合が防げて製品の歩留りが向上する。

【0037】次に、前記構成になるセンサチップの製造プロセスを図4で説明する。

(1) まず、工程(a)で、シリコンウェハ（バルク材）1aの上面側にAl、あるいはSiO₂などをマスクとして容量型センサの電極間ギャップに相当する浅い凹部1bをプラズマエッチングにより形成する。

(2) 工程(b)で、凹部1aに同心円状に並ぶ多重の波形溝1e、およびゴミトラップ4c（図3参照）を形成するための凹溝1fをエッチングにより掘る。

【0038】(3) 工程(c)で、熱酸化炉などによりシリコンウェハ1aの表面を熱酸化して酸化シリコン（SiO₂）膜6を形成する。

(4) 工程(d)で、CVD法により例えばSiH₄+PH₃エビタキシャル成長用ガスとして、シリコンウェハ1aの表面に低抵抗なリンドーフトポリシリコン膜5を成膜する。

【0039】(5) 工程(e)で、シリコンウェハ1aの表面に成膜したリンドーフトポリシリコン膜5が固定されている図4(d)の状態、1000℃前後の温度に加熱してアニール処理を施し、ドーパントの活性化と併せて成膜時に生じた残留応力を緩和させる。

(6) 次の工程(f)では、シリコンウェハ1aに対して、ポリシリコン膜5の中央フラットゾーン、および外周縁部を除いた多重波形部の下面領域を裏面側からRIE（反応イオンエッチング）、プラズマエッチャーなどのドライエッチング法によりリング状の深い溝1cを掘ってポリシリコン膜5の多重溝部をシリコンウェハ1aから解放する。この場合には工程(c)で形成した酸化シリコン膜6がエッチストップ層として働く。

【0040】なお、工程(e)で述べたアニール処理は、ダイヤフラムの裏面側を深堀エッチングした後の状態で行うようにしてもよい。

(7) さらに、工程(f)シリコンウェハ1aをふっ酸などでウェットエッチングし、ポリシリコン膜5の下面側に露呈している酸化シリコン膜5を除去する。なお、この酸化シリコン膜を残したままにしておくと、熱膨張係数差などでダイヤフラムが歪む原因となる。これにより、シリコンウェハ1aの上面側に可動電極部4a、多重の波形リング4b、およびゴミトラップ4cを有する薄膜の波形ダイヤフラム4が形成される。

【0041】(8) そして、次の工程(g)では、前記工程を経て製作したダイヤフラムブロックの上面に、別な工

程で固定電極 2 a, スルーホール 2 b を形成したガラスウェハ 2 を重ね合わせて陽極接合する。

(9) 最後の工程(h)で、ガラスウェハ 2 の上面側からスパッタ装置などを用いて Au, Al などのメタライズ層 2 c, 2 d を成膜し、スルーホール、ボンディングパッドを完成させる。

【0042】〔実施例 2〕次に、実施例 1 の製造方法でシリコンウェハ上に形成した波形ダイヤフラムについて、その径サイズの加工精度を高め、さらにダイヤフラムに対するエッチストップ層としてシリコンウェハに形成しておいた酸化シリコン膜を完全に除去してシリコンとの線膨張係数差による歪み抑えるようにした本発明の請求項 8, 9 に対応する製造方法を図 5 により説明する。

【0043】この実施例では、図示の製造工程(a)～(c)により、図 4 の方法と同様にシリコンウェハ 1 a の上面側に凹部 1 b, 多重の波形溝 1 e, ゴミトラップ用の凹溝 1 f をエッチングした上で、ウェハ全面域に酸化シリコン膜 6 を形成した後、続く工程(d)ではシリコンウェハ 1 a の多重波形溝領域 X を残してそれ以外の領域に形成されている酸化シリコン膜 6 を除去する。この酸化シリコン膜 6 の除去は、フォトリソプロセスによるマスキングを使用したエッチング法により行う。これにより、酸化シリコン膜 6 がサブミクロンオーダの高い精度で加工される。

【0044】次に、工程(e)でシリコンウェハ 1 a の表面全域に、CVD 法によりポリシリコン膜 5 を均等な厚さで成膜する。この状態で図中に表した A, B 部分の拡大断面図を(j)に示す。続く工程(f)では図 4 で述べた製造方法と同様に、酸化シリコン膜 6 をエッチストップ層としてシリコンウェハ 1 a の下面側からドライエッチングを施してリング状の深溝 1 c を掘る。なお、この状態での拡大断面図を(k)に示す。その後、工程(g)でふっ酸などのエッチング液に浸漬し、ポリシリコン膜 5 の裏面に残っている酸化シリコン膜 6 をウェットエッチングにより除去する。

【0045】この製造方法によれば、シリコンウェハ 1 a から解放させた波形ダイヤフラム 4 の内、外径(波形リング形成領域の内周端と外周端)がドライエッチング法によるシリコンウェハの加工精度に依存するとことなく、エッチングストップ層として機能させるようにシリコンウェハの上面に成膜した酸化シリコン膜 5 を加工するフォトリソグラフィ(シリコンウェハの上面に成膜した酸化シリコン膜の一部を除去する加工は、一般にフォトリソプロセスによるマスキングを利用して行うようにしており、その加工精度はサブミクロンオーダでドライエッチングよりも加工精度が高い)の精度によって決まる。これにより、高い加工精度で波形ダイヤフラム 4 を形成して安定した感度を確保できる。

【0046】また、前記のようにダイヤフラムの波形リ

ング形成範囲にのみ酸化シリコン膜 6 を残しておくことで、シリコンウェハ 1 a に裏面側からエッチングを施して深溝 1 c を掘った後、波形ダイヤフラム 4 の裏面に残る酸化シリコン膜 6 をふっ酸などのウェットエッチングで処理すれば、酸化シリコン膜 6 が完全に除去されるようになるので、シリコンウェハ 1 a と酸化シリコン膜 6 との線膨張係数差に起因する歪みの発生を抑える効果も得られる。

【0047】なお、図 5 における工程 (g) でウェットエッチングを施すと、その拡大断面図(l)で表すように酸化シリコン膜 6 が完全に除去されるとともに、深溝 1 c の内外周縁部では酸化シリコン膜の除去跡としてポリシリコン膜 5 とシリコンウェハ 1 a の境界にスリット状の隙間が局部的に残る。ところで、ダイヤフラムブロックをウェットエッチング液から引出して乾燥させる際に、前記したスリット状の隙間にエッチング液が残っていると、スティクションという表面張力による張り付き現象が生じることがある。

【0048】そこで、本発明では、スリット状の隙間に入り込んでいるエッチング液を常温、常圧で濡れ性のよいエタノールに置換し、さらに高圧環境で表面張力の小さい液体二酸化炭素に置換して乾燥させ、前記したスティクションの発生を防止するようにしている。

〔実施例 3〕次に、波形ダイヤフラムの可動電極部に補強梁を形成した本発明の請求項 6 に対応する実施例の構成、およびその製造方法を図 6, 図 7 で説明する。

【0049】すなわち、図 6 (a)～(c)に示すセンサチップでは、ポリシリコンをダイヤフラムの構造材料としてダイヤフラムブロック 1 のウェハ上面側に成膜形成した波形ダイヤフラム 4 の可動電極部 4 a に対して、その裏面側には十文字状に張出したリブ状の補強梁 4 a-1 が一体に形成されており、かつ可動電極部 4 a の裏面側のウェハ材料が除去されている。

【0050】ここで、補強梁 4 a-1 は、その端部が波形ダイヤフラム 4 の最内周に位置する波形リング 4 b に繋がっている。この構造により、可動電極部 4 a の曲げ剛性が増し、ダイヤフラム 4 の裏面側から測定圧力を加えても可動電極部自身が撓み変形することなく、平板形状を保ったまま固定電極 2 a に対して平行に移動する。これにより、測定圧力に対して固定電極/可動電極間の静電容量が線形的に変化ようになる。しかも、図 1 に示した実施例の可動電極部 4 a と比べて、その裏面側のウェハ材料を除去した分だけ可動電極部が軽量となるので、重力、振動などに起因するセンサ出力の変動を小さく抑えることができる。なお、図示例では補強梁 4 a-1 の形状が十文字形であるがこれに限定されるものではなく、補強梁 4 a-1 を格子形、あるいはハニカム形に形成して実施することもできる。

【0051】次に、前記した補強梁付き可動電極部 4 a を形成する波形ダイヤフラム 4 の製造プロセスを図 7 で

説明する。まず、工程(a)で図4で述べた製造プロセスと同様にシリコンウェハ1aの上面に凹部1bを形成した後、次の工程(b)でウェハ上面に多重の波形溝1e、ゴミトラップとなる凹溝1fをプラズマエッチングにより形成する際に、後から可動電極を形成する中心部のフラットゾーン領域にスリット状の凹溝1gを十文字状に刻印形成しておく。また、この凹溝1gはその溝幅を後から成膜する酸化シリコン膜6とポリシリコン膜5を含めた膜厚の2倍以下に設定する。

【0052】続いて、工程(c)でウェハ上面に酸化シリコン膜6を形成し、さらに工程(d)で酸化シリコン膜6の上に低抵抗のリンドープトポリシリコン膜5をCVD法により成膜する。この成膜工程では、ポリシリコン膜5が前記したスリット状の凹溝1gを埋め、図中のC部にはその拡大断面図(i)で表すように可動電極部の裏面側にリブ状の梁が同時形成される。なお、ポリシリコン膜5を成膜した状態で、必要に応じて内部応力を緩和させるためにアニール処理を行う。

【0053】次に、工程(e)でシリコンウェハ1aの裏面側から反応イオンエッチング、プラズマエッチング法などによりエッチングを施し、酸化シリコン膜5をエッチストップ層としてウェハ周縁部を除くポリシリコン膜5の下面域に深溝1cを掘り、さらに工程(f)でふっ酸などによるウエットエッチングでポリシリコン膜5の下面に残っている酸化シリコン膜6を除去してウェハから解放された波形ダイヤフラム4を形成する。これにより、波形ダイヤフラム4の可動電極部4aの裏面には図6に示した補強梁4a-1が形成されることになる。

【0054】その後、図4の製造プロセスと同様に、工程(g)で前記工程を経て作製したダイヤフラムブロック1とガラスウェハ2を重ね合わせて陽極接合し、続く工程(h)でガラスウェハ2にスルーホール、ボンディングパッドを形成してセンサチップの組立体が完成する。

【0055】

【発明の効果】以上述べたように、本発明によれば次記の効果を奏する。

(1) 下面中心部に薄膜固定電極を形成したガラスウェハと、シリコンウェハの上面に可動電極部を有する低抵抗な薄膜ダイヤフラム(ポリシリコン膜)を形成してその裏面側のウェハ材料を除去したダイヤフラムブロックとの組立体からなり、前記固定電極と可動電極を向かい合わせに對峙させてダイヤフラムブロックとガラスウェハを重ね合わせて接合した構造になる静電容量型半導体センサにおいて、前記薄膜ダイヤフラムを、中心部の円形フラットゾーンを可動電極部として、その外周域に同心円状に並ぶ複数条の波形リングを形成した波形ダイヤフラムとなしたことにより、ダイヤフラムの成膜時に生じた残留応力、温度変化に伴う内部応力を波形リングが吸収してばね定数をほぼ一定に保持するなど極めて高感度、かつ小型な静電容量型半導体センサを低コストで実

現できる。

【0056】(2) 前記構成において、波形ダイヤフラムの形状を請求項2のように設定することにより、CVD法などで波形ダイヤフラムとして有効に機能する薄膜ダイヤフラムが形成できる。また、請求項3により固定電極の成膜時にその周縁に生じたバリが可動電極に直接接触れるなどして干渉するの確実に防止して製品の歩留りが向上し、さらに請求項4の構成により、ガラスウェハの上面に開口するスルーホールを通じて外部から侵入した異物が電極間のギャップに移動してセンサ機能を阻害するのを防止できるなどの実用的効果が得られる。

【0057】(3) また、請求項6のように薄膜ダイヤフラムの可動電極部に対して、その裏面側に補強梁を一体形成するとにより、可動電極部に大きな質量(可動電極部の裏面に結合したウェハ材料部分)を持たせることなしにその剛性を高めることができ、これにより可動電極部の平行変位を保ちつつ、取付け方向、振動などによるセンサ出力の変動の影響を低く抑えてセンサ感度、測定精度がより一層向上する。

【0058】(4) さらに、請求項7の製造方法によれば、シリコンウェハの上面に成膜したダイヤフラム構造材料の薄膜に対し、シリコンウェハの裏面側からドライエッチング加工を施して薄膜をダイヤフラムとして解放する際に、酸化シリコン膜がエッチングストップ層として機能するので、肉厚が均一で、かつ内部応力が殆ど残らない波形ダイヤフラムを歩留りよく形成ができる。

(5) また、この場合に請求項8の方法を併用することで、波形ダイヤフラムの径サイズをより高い加工精度で規定してセンサ感度の安定化が図れるほか、ダイヤフラムの裏面に残る酸化シリコン膜を完全に除去して構造材料の線膨張係数差に起因する歪み発生が防げるなど、センサ特性、並びに製造で優れた効果を発揮するセンサを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る静電容量型圧力センサの構成断面図

【図2】図1における要部の拡大図

【図3】図1に示したセンサチップ全体の外観斜視図であり、(a)は分解図、(b)は組立状態図

【図4】図1に示したセンサチップの製造プロセス説明図であり、(a)～(h)はその工程順に表した状態図

【図5】本発明の実施例2に係るセンサチップの製造プロセス説明図であり、(a)～(h)はその工程順に表した状態図、(j)～(l)はそれぞれ(e)～(g)におけるA、B部の拡大断面図

【図6】本発明の実施例3に係るセンサチップの構成図であり、(a)、(b)はそれぞれ上面、下面から見た外観斜視図、(c)は縦断側面図

【図7】図6に示したセンサチップの製造プロセス説明図であり、(a)～(h)はその工程順に表した状態図、

(i) は(d) におけるC部の拡大断面図

【図8】 波形ダイヤフラム、および平形ダイヤフラムを対比して表したダイヤフラムの動作特性を模式的に表した図

【図9】 従来における静電容量型圧力センサの構成図であり、(a) は側視断面図、(b) は(a) 図の矢視A-B断面図

【符号の説明】

1 ダイヤフラムブロック

1 a シリコンウェハ

2 ガラスウェハ

2 a 固定電極

2 b スルーホール

4 薄膜ダイヤフラム

4 a 可動電極部

4 a-1 補強梁

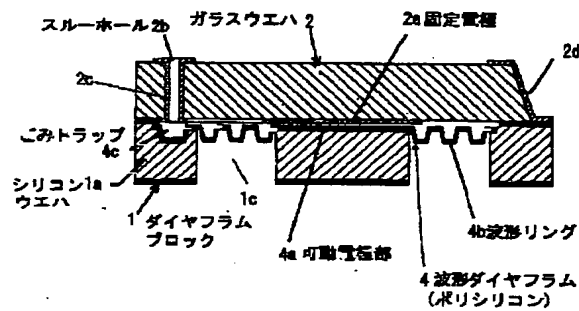
4 b 波形リング

4 c ごみトラップ

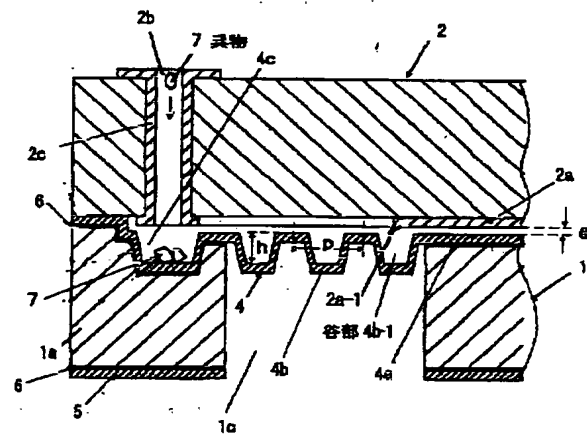
5 ポリシリコン膜

6 酸化シリコン膜

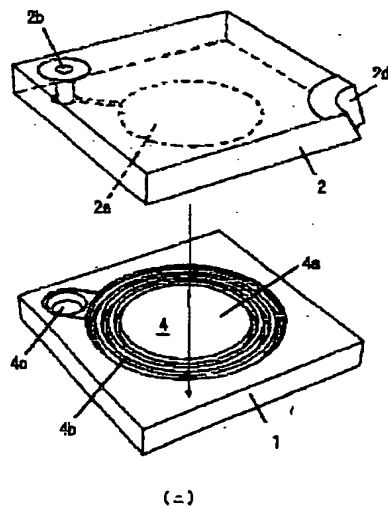
【図1】



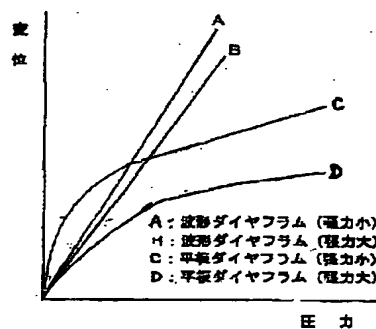
【図2】



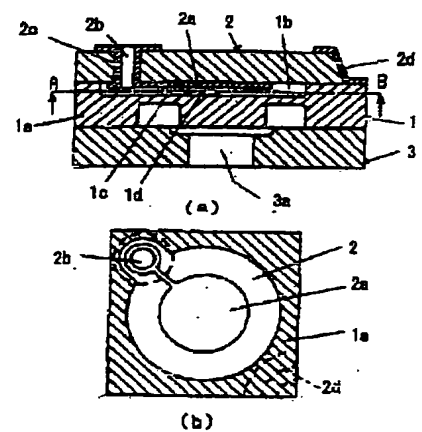
【図3】



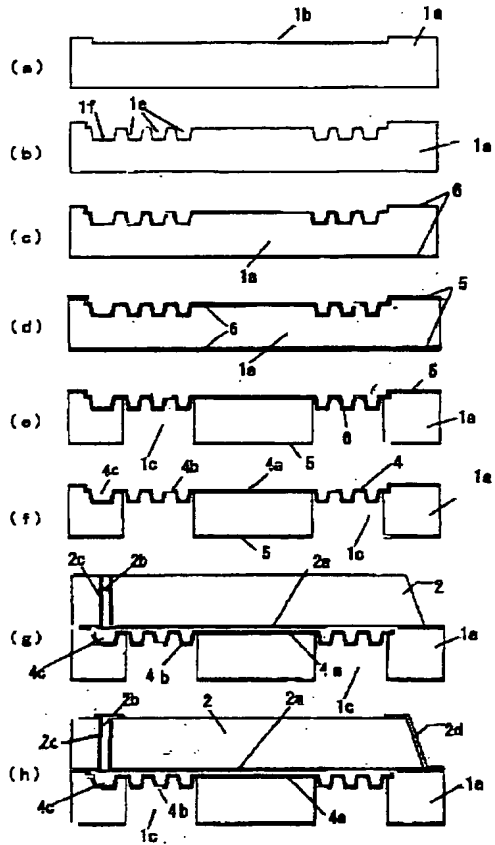
【図8】



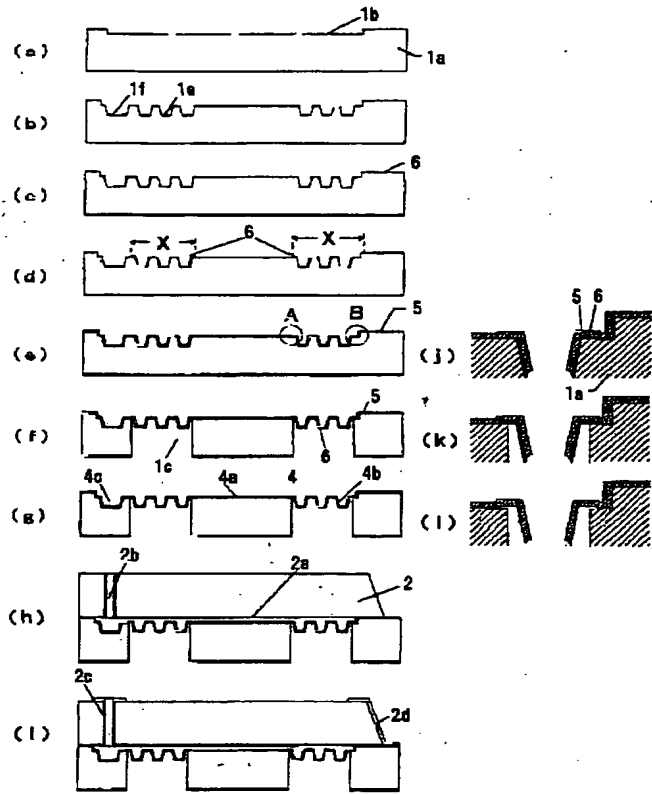
【図9】



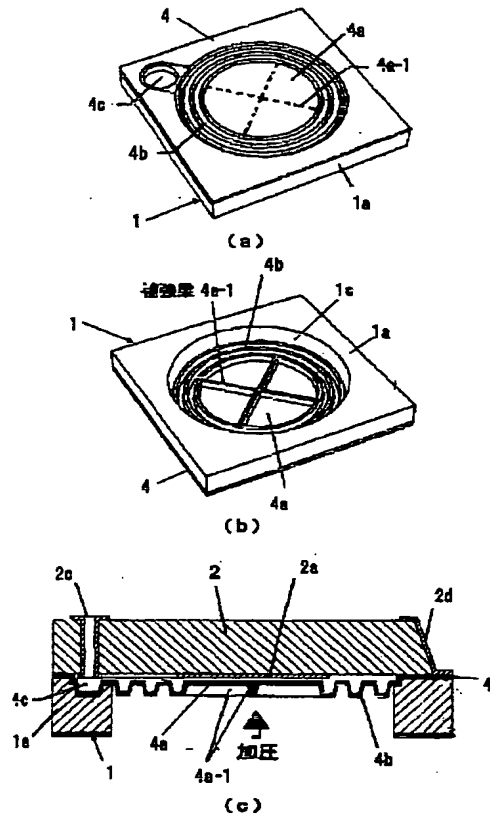
【図4】



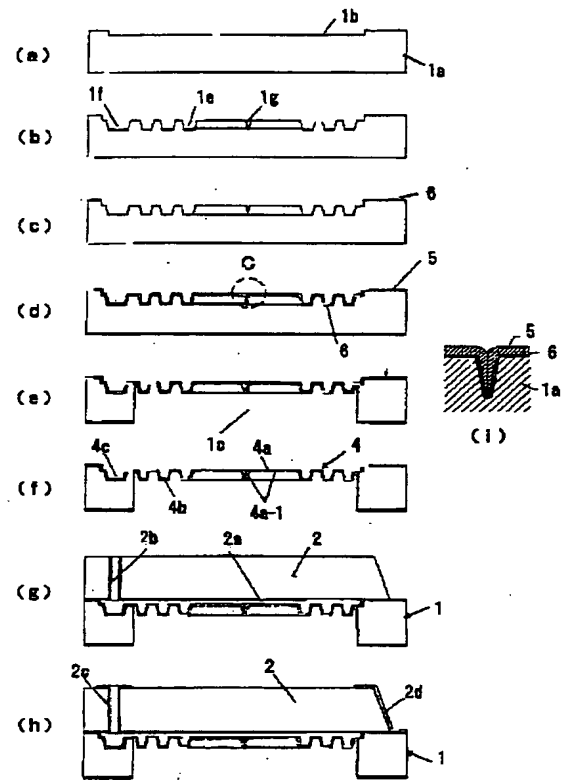
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 2F055 AA40 BB20 CC02 DD05 EE25
 FF01 FF11 FF49 GG01 GG15
 4M112 AA01 BA07 CA22 CA36 DA03
 DA04 DA06 DA14 DA18 EA04
 EA06 EA13